

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号 ✓  
特開2000-151616  
(P2000-151616A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.<sup>7</sup>

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

テーマコード(参考)

G

審査請求 有 請求項の数3 O L (全 14 頁)

(21)出願番号 特願平11-369129  
(62)分割の表示 特願平11-85383の分割  
(22)出願日 昭和63年9月28日(1988.9.28)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 鳥居 豊  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所戸塚工場内  
(72)発明者 櫻井 義人  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所戸塚工場内  
(74)代理人 100075096  
弁理士 作田 康夫

最終頁に続く

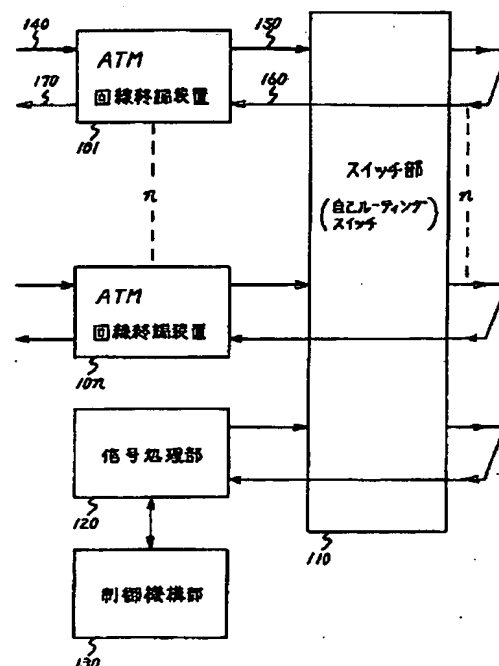
(54)【発明の名称】 A T M 通 話 路 装 置

(57)【要約】

【課題】 入力されたセルのトラヒックが申告値に違反しないかをモニタして、セルの流量制御が可能なA T M 通信装置を簡単な構成で提供する。

【解決手段】 ヘッダ部と情報部からなる固定長のセルを入出力し、セルのヘッダ部の情報に基づき該セルの通信処理を行なうA T M 通信装置を、固定長のセルを入出力する複数の入出力回線インタフェース部と、複数の入出力回線インタフェース部間を接続して、受信した固定長のセルを宛先となる出力回線インタフェース部のいずれかに転送するスイッチ部とで構成し、入出力回線インタフェース部のそれぞれには、受信したセルのヘッダを検出するヘッダ検出回路と、ヘッダの入力識別番号に対応して通信処理制御情報を蓄積するテーブルと、入力識別番号毎に受信したセルの流量を測定してテーブルに蓄積された規定値を超えるか否かを監視するモニタ回路とを備えた。

図 1



## 【特許請求の範囲】

【請求項 1】 ヘッダ部と情報部からなる固定長のセルを  
入出力し、該セルのヘッダ部の情報に基づき該セルの通  
信処理を行なう A T M 通信装置であって、  
前記固定長のセルを入出力する複数の入出力回線インタ  
フェース部と、  
前記複数の入出力回線インタフェース部間を接続して、  
複数の入力回線インタフェース部のいずれかで受信した  
固定長のセルを該セルの宛先となる出力回線インタフェ  
ース部のいずれかに転送するスイッチ部とで構成され、  
前記複数の入出力回線インタフェース部のそれぞれは、  
受信したセルのヘッダを検出するヘッダ検出回路と、該  
ヘッダの入力識別番号に対応して通信処理制御情報を蓄  
積するテーブルと、該入力識別番号毎に受信したセルの  
流量を測定して前記テーブルに蓄積された規定値を超え  
るか否かを監視するモニタ回路と、受信したセルのヘッ  
ダを前記テーブルとモニタ回路の出力に基き書き換える  
ヘッダ変換回路とを備えたことを特徴とする A T M 通話  
路装置。

【請求項 2】 上記モニタ回路で上記受信したセルの流量  
が規定値を越えた場合、上記ヘッダ変換回路で該受信セ  
ルの廃棄もしくは該セルのヘッダへのマーク付与を行  
い、上記スイッチがヘッダ変換後のセルを該セルの宛先  
となる出力回線インタフェース部に転送することを特徴  
とする請求項 2 に記載の A T M 通話路装置。

【請求項 3】 上記入力インタフェース部で受信したセル  
の流量が規定値を越えた場合、該セルの廃棄もしくはヘ  
ッダにマーク付与されたセルが該受信セルの宛先となる  
出力インタフェース部から出力されることを特徴とする  
請求項 2 に記載の A T M 通話路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、交換機の通話路構成に  
係り、特に、固定長パケットを用い時分割多重通信情報  
を交換する、いわゆる A T M (Asynchronous Transf  
er Mode: 非同期転送モード) 交換システムの通話路  
に好適な通話路構成に関する。

## 【0002】

【従来の技術】 従来用いられている交換機の通話路の代  
表的なものは、デジタル時分割通話路であり、その構成  
と動作概要は、例えば電子通信学会発行の書籍「ディ  
ジタル交換方式」(昭和 61 年 3 月 15 日初版発行) P  
ー 95 に説明されている。

【0003】 デジタル時分割通話路は、回線交換方式  
に適した通話路であり、通話路メモリ、制御メモリ、及  
び空間分割スイッチ等で構成されている。

【0004】 交換機の制御部は、制御メモリに交換情報  
を書き込み、時分割多重された通信情報は、その多重さ  
れた一単位(タイムスロット)毎に、制御メモリをアク  
セスして、接続されるべき宛先を知り、交換接続動作が

行われる。

## 【0005】

【発明が解決しようとする課題】 上記デジタル時分割  
通話路は、基本的に回線交換を行うため、将来需要が増  
大すると思われる種々の速度を持つ通話や、種々の性質  
を持つマルチメディアには必ずしも適さない。一方、こ  
れらに比較的柔軟に対応できるとされるパケット交換  
方式も、現在の方式では、上記種々の速度を持つ通信、  
特に高速広帯域通信への対応が難しい。

10 【0006】 このような背景から、新たな交換方式とし  
て、A T M と呼ばれる方式が研究されている。A T M  
は、セルと呼ばれる固定長パケットを単位として通信情  
報、呼処理信号など全ての情報を扱うところに特徴があ  
る。A T M 交換システムの実現には、その通話路構成の  
具体化検討が必要である。スイッチ機能に限定すれば、  
いくつかの具体案が提案されているが、A T M 通話路と  
して必要なその他の機能、例えば、セルの位相同期、ラ  
ベル変換、セル流量制御等の機能をどのように具体化す  
れば、実現性のある通話路構成が構築できるのか、とい  
う問題が未解決である。

20 【0007】 本発明の目的は、上記未解決の諸問題を解  
決し、A T M 交換システムを効率的かつ経済的に実現す  
る通話路構成を提示することにある。

## 【0008】

【課題を解決するための手段】 上記目的は、A T M 通話  
路を複数の機能ブロックに分割し、それらを組み合わせ  
る事で達成される。即ち、固定長パケットのルーティン  
グ(宛先出回線への振り分け)機能と論理的な多重機能  
のみをスイッチ部に受け持たせ、その他の機能のうち、  
30 回線対応に必要な機能(例えば、位相同期機能、流量制  
御機能)をまとめて回線対応部とし、回線共通に設けて  
も処理が可能であり、かつ、金物が共用できるものを回  
線共通部とする。

【0009】 更に、この機能分割に当っては、それらの  
機能がシステムとしての処理階層(プロトコルレイヤ)  
上のどこに位置するかを分析し、それぞれの分割と階層  
構造の対応を整合させ、機能的な切れを良くし、各機能  
ブロックの独立性を高め、かつ、各ブロック間の連絡を  
単純化することにより、実現性を高めた。

40 【0010】 更に、上記回線対応部において、位相同期  
回路は、複数の周波数を用いて動作できるようにし、位  
相同期機能と固定長パケットの速度変換機能を併合し  
た。また、同じく上記回線対応部において、流量制御の  
ための制御情報を、該パケットのヘッダ変換テーブル  
(ラベル変換テーブル)に共存できる構成とした。

## 【0011】

【作用】 回線対応部は、伝送路を物理的に終端すると  
ともに、固定長パケット(セルと称する)のヘッダ部の情  
報にかかわる処理(A T M 終端)を行う。また、セルの  
50 時間的位置を各回線で合わせるための位相同期を行う。

## 3

さらに、加入者端末から申告された以上の負荷がかかることを避けるための、流量制御を行う。

【0012】回線共通部は、呼制御信号の処理、及び、呼処理を行う。

【0013】スイッチ部は、セルの多重、交換を行う。

【0014】

【実施例】図1に本発明の通話路装置の実施例を示す。通話路装置全体は、 $n$ 個のATM回線終端装置101～10 $n$ 、スイッチ部110、信号処理部120、制御機構部130から成る。

【0015】ATM回線終端装置101～10 $n$ は、回線対応に設ける。スイッチ部110は、複数（図1では $n+1$ 本）の入回線と複数（同じく $n+1$ 本）の出回線を持つ。各入回線はそれぞれ対応するATM回線終端装置に接続され、各出回線も同様に、それぞれATM回線終端装置に接続される。但し、入回線のうち少なくとも1本、及び、出回線のうちの少なくとも1本は信号処理部120に接続される。信号処理部120と制御機構部130は相互に接続される。

【0016】ATM回線終端装置（例えば101）は、伝送路140とスイッチの入回線150、及び、出回線160と伝送路170とのインタフェースを行う。その詳細は後述するが、主要機能は、伝送路終端、セル位同期、セル流量制御、ラベル変換である。

【0017】スイッチ部110は、ある入回線から、ある出回線へと通信情報を交換接続するスイッチである。入回線、出回線上では、通信情報は図9（a）または（b）に示すセルと呼ばれる固定長パケットの形態で扱われる。スイッチ部110は、セルのヘッダ部に含まれる呼識別番号である論理チャンネル番号VCNもしくはルーティングヘッダの情報をもとに、ハードウェアロジックで動作する、いわゆる自己ルーティングスイッチである。機能としては、セルのルーティングと論理多重を行う。

【0018】自己ルーティングスイッチの構成は、例えば、バンヤン網を用いたものや、メモリスイッチを用いたものがあり、公知の回路で実現できるので特に具体的には述べない。收容回線数が多いときには、図11に示すような多段構成をとることも考えられる。スイッチ部は、基本的には、どの入回線から入ったセルでも、どの出回線へ出て行ける構造となっていれば良い。

【0019】信号処理部120は、伝送路から送られてくるセルのうち、呼処理信号を運ぶ信号用セルを処理する部分であり、主要機能は信号用セル分解・組立、信号の速度整合、誤り制御、フロー制御である。

【0020】制御機構部130は、主に呼処理機能を受け持つ。この機能ブロックの機能は、従来の交換機の通話路のものと、基本的には同様である。

【0021】信号処理部120及び制御機構部130については、制御用計算機、論理回路等の組み合わせで実現

## 4

でき、特に特殊な実現技術を要さないもので、詳細説明は省略する。

【0022】以上に説明したように、本発明の通話路構成の一実施例は、4つの機能ブロックにより構成される。以下に、本構成の最も特徴的な機能ブロックである、ATM回線終端装置について詳しく述べる。

【0023】図2は、本発明によるATM回線終端装置の構成図である。図2において、201は、伝送路とスイッチの物理的なインタフェースをとる回線終端回路であり、202は各回線異なる位相で入力して来るセルを、セル単位で位相合わせを行うセル位相同期回路であり、203は、入力して来るセルの交換制御情報を含むヘッダを検出するヘッダ検出回路であり、204は、交換制御情報及び流量制御情報を各呼識別番号論理チャンネル毎に一括して記憶する情報テーブルであり、205は、入力セルを各呼識別番号毎に流量を測定し、予め設定された規定値を超えないかどうかを監視する流量モニタ回路であり、206は、上記セルのヘッダを情報テーブル204及び流量モニタ回路205からの情報に基づいて書き替えるヘッダ変換回路である。

【0024】以下本回路の説明をする。伝送路からの信号は、回線終端回路201に入力され、クロック抽出、フレーム検出、ビット位相同期等の物理的な終端が行われ、情報ストリームとしてセル位相同期回路202へ入力される。セル位相同期回路202では、各回線異なる位相で入力して来るセルの位相を検出し、セル毎に位相同期を行う。そして位相同期の取られたセルは、ヘッダ検出回路203で、ヘッダ情報が読み込まれる。そのヘッダ情報は、情報テーブル204に入力され、ヘッダに含まれる呼識別番号を基に、それに関連する交換情報、流量制御情報が引き出され、流量モニタ205、ヘッダ変換回路206に入力される。流量モニタ205は、入力セルを各呼識別番号毎に入力セルの流量を計数する。そして、その流量が予め定められた値を超えたならば、流量超過したことをヘッダ変換回路206に通知する。ヘッダ変換回路は、情報テーブル204、及び流量モニタ回路205からの情報に基づき、呼識別番号の付け替え、流量超過セルの表示等のヘッダ変換を一括して行う。

【0025】以下ATM終端装置の各部について実施例を上げて詳しく説明する。

【0026】図3は図2におけるセル位相同期回路202の回線終端回路201からヘッダ検出回路203へ伝送情報を送出する部分の一実施例を示したものである。図3において、301は、情報ストリーム中の伝送制御情報を運ぶオーバーヘッドによりセルの区切りを検出するオーバーヘッド処理回路であり、302はオーバーヘッド処理部の情報に基づきセルの先頭を示すセル先頭信号とセルの到着期間に対応する書き込みクロック制御信号を出力するセル周期発生回路であり、303は1セル

記憶可能な容量を持つ3個のバッファと入力信号をその3個のバッファに振り分けるデマルチプレクサ(DMUX)と、上記3個のバッファの一つの出力を選択するセクタ(SEL)により構成されるセル同期バッファ部であり、304はセル同期回路202からのセル先頭信号に基づき1セルバッファに書き込む毎に書き込み用バッファを順に切り替える書き込み制御回路であり、305は、前記3個のバッファのそれぞれの書き込み状態を記憶するレジスタをバッファ毎に持つ読み出し待ちフラグレジスタであり、306は、読み出し待ちフラグレジスタの出力をラッチするフリップフロップであり、307はフリップフロップ306のラッチされた値に基づき読み出しバッファを決定し、読み出しバッファを切替える読み出し制御回路であり、308は、バッファからセルを読み出す周期を示す読み出し周期信号を発生する読み出し周期発生回路であり、309は、システムクロックと、読み出し周期発生回路308の出力によりバッファ読み出しクロックを作成するバッファ読み出しクロック作成回路であり、310は入力信号クロックから書き込みクロックを作成する読み出しクロック作成回路であり、311は読み出しフラグレジスタ305のリセット信号を制御するゲートである。以下本回路の動作を説明する。なお読み出しクロックと書き込みクロックの周波数は前記オーバーヘッドと後述するルーティングヘッダを伝送するのに必要とされるビットレイトの差に相当する周波数だけ異なる。

【0027】本回路へ入力する信号は図12の入力情報ストリームに示される様に周期的に配置されるオーバーヘッドによるフレーム構造内にセルが配置されている。この図に示されている様に、そのオーバーヘッドのためにセルが途中で分断される場合がある。それを1フレームで見ると図10に示される構造をとる。1フレームは10バイトのオーバーヘッドと、オーバーヘッド間に270バイトのセルが入る領域により、オーバーヘッドの9周期で構成されている。一方各セルとフレームの位置関係は、オーバーヘッド中にポインタ情報として含まれている。オーバーヘッド処理回路301は、そのポインタ情報を見ることによりフレームとセルの位置関係を検出し、その情報をセル周期発生回路304に送出する。セル周期発生回路302は、オーバーヘッド処理回路301の出力によりセルの発生周期信号と、書き込みクロック制御信号を作成する。書き込みクロック制御信号によりアンドゲート310が制御され、書き込みクロックがセルの到着期間だけ出力される。一方セル周期発生部から出力されるセル周期信号により書き込み制御回路304は、書き込みバッファを順番に切り替える。セル同期バッファ303は、書き込みクロックに従い情報ストリーム中のセルの部分のみを1セルずつバッファに書き込む。読み出し待ちフラグレジスタ305はセル書き込み終了する毎に該当するレジスタがセットされる。

【0028】次はセル同期バッファからセルを読み出す場合、読み出し待ちフラグレジスタの値を、読み出し周期信号によりフリップフロップ306でラッチし、その結果を読み出し制御回路307に入力し、読み出しバッファを決定する。その結果をセル送出タイミングに合わせて、セル同期バッファに送出することにより、バッファからの読み出しを可能とする。

【0029】なお読み出しクロック作成回路309は、セルの先頭2バイトは、クロックを停止するように動作し、スイッチ内の交換制御情報となるルーティングヘッダの領域をセル毎に確保する。

【0030】上記読み出し時、セル同期バッファ内にセルの書き込みが終了しているバッファがない場合読み出し制御回路307は、セル同期バッファ303を制御しセルと同一長の空き領域を送出する。またアンドゲート311を制御して読み出し待ちフラグレジスタのリセットを行わないようにする。

【0031】次に本回路の動作を図12のタイムチャートを用いて説明する。入力情報ストリーム中のオーバーヘッドが到着するとセル周期発生回路302からオーバーヘッド周期信号が出力され、アンドゲート310により書き込みクロックが停止する。そのため入力情報ストリーム中のセルの部分のみ選択的にセル同期バッファ303に書き込む。またセル周期発生回路302からセル先頭信号がセルの区切りの直前で出力されそれにより書き込み制御回路304がセル同期バッファを切替える。また同時に書き込み終了したバッファを読み出し待ちフラグレジスタ内の対応するレジスタをセットすることにより記憶する。次に、読み出し周期発生回路308から出力される読み出し周期信号の立上りで、読み出しフラグレジスタの出力がフリップフロップ306でラッチされる。そしてその立下がり読み出し制御回路307が次に読み出すバッファを選択し、セル同期バッファ内のセクタを切替える。それと同時に次に読み出すバッファに対応する。読み出しフラグレジスタ内のレジスタをリセットする。読み出しバッファが切替えられてから2バイト送出する期間は読み出しクロック作成回路309からは読み出しクロックが出力されず、その間がルーティングヘッダ領域となる。ルーティングヘッダ領域後、読み出しに選択されたバッファから1セル連続して読み出される。

【0032】本図に示されている様に本実施例のセル同期回路は、各回線上のセル同期を行うと同時に入力情報ストリームからオーバーヘッド領域を取り除き、また同時にルーティングヘッダ領域を確保する機能を持つ。

【0033】次はスイッチから回線終端回路へ伝送情報を送出するセル位相同期回路202の部分の一実施例を図4により説明する。図4において401は1セル記憶可能な3個のバッファとスイッチからのセルを各バッファに振り分けるデマルチプレクサ(DEMUX)と、前

## 7

記3個のバッファ及びオーバーヘッド発生回路の出力を選択する選択回路（SEL）より構成されるセル同期バッファであり、402はスイッチからのセル先頭信号により書き込みバッファの切り替えを行う書き込み制御回路であり、403は前記セル同期バッファ401の3個のバッファに対応したレジスタを持ち、書き込み終了時セットされ、読みだし時リセットされる読みだし待ちフラグレジスタであり、404は、読みだし待ちフラグレジスタの出力をラッチするフリップフロップであり、405はフリップフロップ404にラッチされた値に基づき読み出しバッファを決定すること並びにオーバーヘッド周期にはオーバーヘッド発生回路に出力を切り替える読み出し制御回路であり、407は出力セルの読み出し周期信号と、出力オーバーヘッド領域を示すオーバーヘッド周期信号を出力する読み出し周期発生回路であり、408はセルに付与されているルーティングヘッダ領域を除く期間書き込みクロックを出力する書き込みクロック発生回路であり、409は読み出し制御回路405の出力により書き込み終了バッファがなければ、読み出し待ちバッファレジスタのリセット実行を停止させるアンドゲートである。

【0034】以下本回路の動作を説明する。スイッチより入力して来るセルは図9（b）に示されている様にルーティングヘッダが付与されているので、その間書き込みクロック発生回路406がクロックを停止することによりセルのみをバッファに書き込む。またセル先頭信号により1セル書き込む毎に書き込みバッファが切り替えられる。また同時に読み出し待ちフラグレジスタ内の該当するレジスタをセットする。

【0035】次にセル同期バッファからセルを読み出す場合、読み出しフラグレジスタ403の値を、読み出し周期信号によりフリップフロップ404でラッチし、その結果を読み出しバッファ選択回路405に入力し、読み出しバッファを決定する。

【0036】その結果をセル読み出しタイミングに合わせて、セル同期バッファに送出することにより、バッファからの読み出しを可能とする。一方、読み出し周期発生回路407からは周期的にオーバーヘッド領域を示すオーバーヘッド周期信号が出力される。この信号が読み出し制御回路405に入力されると読み出し制御回路405は、セル同期バッファ401を制御してオーバーヘッド情報を出力する。この間、セル同期バッファ401からの読み出し動作は停止する。

【0037】上記読み出し時、セル同期バッファ内にセルの書き込みが終了しているバッファがない場合、読み出し制御回路404はセル同期バッファ401を制御して空セルを送出する。またアンドゲート409を制御して読み出し待ちフラグレジスタのリセットを行わないようにする。

【0038】次に本回路の動作図13のタイムチャート

## 8

を用いて説明する。スイッチからのセルストリーム中のルーティングヘッダが到着すると、書き込みクロックは停止するためその間セルの書き込みが行われない。またセル先頭信号により書き込み制御回路402は、セル同期バッファ401を制御し、書き込みバッファを切り替え次のバッファに書き込みを開始する。また同時に書き込み終了したバッファを読み出し待ちフラグレジスタ403内の対応するレジスタをセットすることにより記憶する。次に、読み出し周期発生回路407から出力される読み出し周期信号の立上りで、読み出しフラグレジスタ403の出力がフリップフロップ404でラッチされる。そしてその立ち下がりで読み出し制御回路405が次に読み出すバッファを選択し切り替える。それと同時に次に読み出すバッファに対応する読み出しフラグレジスタ403内のレジスタをリセットする。一方読み出し周期発生回路からオーバーヘッド周期信号が出力されると、セルの読み出しはその間停止しセル同期バッファ401からはオーバーヘッドが出力される。

【0039】本実施例のセル位相同期回路は伝送回線上で不要となるルーティングヘッダを取り除くと同時に伝送回線上で必要となるオーバーヘッドの挿入を行う。

【0040】次に流量モニタ回路の一実施例を図5に示す。図5において501は、入力セルの個数を各呼識別番号毎に計数値を記憶するセル計数メモリであり、502は、測定開始時刻を記憶するタイマメモリであり、503は、各加入者が呼設定時に予め定められた一定個数Nを送出する最低の時間を申告した値を記憶する申告値メモリであり、504は、セル計数メモリ501の出力値に1加算する加算器であり、510は現在の時刻を出力するタイマであり、505は、タイマ510の出力からタイマメモリ502の出力を引くことにより測定時間を計算する減算器であり、506はセルの到着数と一定個数Nを比較し、到着数が一定個数を超えていないかを見る比較器であり、507は、減算器505の出力である測定時間と申告値を比較し、測定時間が申告値を超えていないかどうかを見る比較器であり、508は、比較器506の出力により、流量超過セルについて廃棄又はマーク付与を指示する流量制御信号をヘッダ変換回路206へ送出する違反セル処理回路であり、509は、セル流量測定動作を行っている以外の間に、タイマメモリ502を各呼識別番号を順にアクセスし、測定時間が申告値を超えてないか監視するためのメモリアドレスを発生するタイムオーバー監視回路であり、511は、セル計数期間と、タイムオーバー監視期間のメモリアドレスを切替えるセレクタである。なお、図5中、セル計数メモリ501とタイマメモリ502と申告値メモリ503は入力セルの呼識別番号によりアクセスされるためATM回線終端装置101～10nの各情報テーブル204（など）に置く事が可能である。

【0041】以下本回路の動作を説明する。ATM変換

機にセルが到着すると、ヘッダ検出回路 203 から、呼識別番号が送られて来る。その呼識別番号をアドレスとし、セル計数メモリ 501、タイマメモリ 502、申告値メモリ 503 がアクセスされ、呼識別番号に対応する流量制御情報が得られる。そしてセル計数メモリ 501 からの計数値に加算回路 504 で 1 が加えられ、その結果をセル計数メモリ 501 に書き替える。一方加算された計数値は比較器 506 に入力され、一定個数 N と比較される。もし計数値が N より大きい場合、流量超過情報を違反セル処理回路 508 に通知する。違反セル処理回路 508 では、流量超過の通知を受けると、その超過したセルを廃棄又はマーク付与を指示する流量制御信号をヘッダ変換回路 206 に送出する。廃棄又はマーク付与の選択は、回線のトラヒック状態により、輻輳状態の時は廃棄、回線容量に余裕がある場合にはマーク付与が行われる。なおマーク付与されたセルは輻輳時またはそれに近い状態の時スイッチで廃棄される。

【0042】一方セル計数動作と平行し減算器 506 では、タイマ 510 とタイマメモリ 502 の出力値より測定時間が計算され、それが比較器 507 で申告値と比較され、測定時間が、申告値を超えていれば、セル計数メモリ 501 の、入力セルの呼識別番号に対する計数値がリセットされ、またタイマメモリ 502 に現在の時刻が書き込まれる。これによりまた初めから測定が開始される。

【0043】次に図 14 を用いてさらに本回路の動作に説明する。図 14 は 1 つの呼識別番号のセルに注目しその到着の様子を示したものである。この場合、一定個数 N を 4 個としている。この図に示される様に申告値（時間）間隔でセルを計数し、一定個数である 4 個を超えたセルは超過セルとする。また申告値（時間）を超えた時点から、次の測定期間に入り、常時セルの流量の監視を行う。

【0044】本回路は、上記動作のみの場合セルが到着しないとタイマメモリがアクセスされないため、タイマメモリの情報長に制限される時間以上になると測定時間を正しく得られなくなるそのため、セル計数動作を行っていない期間に、タイムオーバー監視回路によりタイマメモリ 502 を順にアクセスし、申告値を超えていないかどうかを監視し、超えていれば、タイマメモリ 501 をリセットし、タイマメモリ 502 を現在の時刻に書き替え次の測定期間に入る。

【0045】本実施例によれば、セル計数メモリ 501、タイマメモリ 502、申告値メモリ 503 が ATM 回線終端装置 101 ~ 10n の情報テーブル 204（など）に置く事が可能となるためハード量が小さく出来る。また本実施例の様に各呼識別番号に対し一定個数 N を基準として流量を測定するため量大速度を測定する際、呼の速度に依らず正確な測定が可能である。

【0046】次に流量モニタ回路 205 のもう一つの実

施例を図 6 に示す。図 6 において 601 は、入力セルの個数を各呼識別番号毎に計数値を記憶するセル計数メモリであり、602 は、測定開始時刻を記憶するタイマメモリであり、603 は、各加入者が呼設定時に予め定められた一定時間 T の間に送出する最大のセル数を申告した値を記憶する申告値メモリであり、604 は、セル計数メモリ 501 に 1 加算する加算器であり、610 は現在の時刻を出力するタイマであり、605 は、タイマ 610 の出力からタイマメモリ 602 の出力を引くことにより測定時間を計算する減算器であり、606 はセルの到着数と申告値を比較し、到着数が申告値を超えていないかを見る比較器であり、607 は、減算器 605 の出力である測定時間と一定時間 T を比較し、測定時間が申告値を超えていないかどうかを見る比較器であり、608 は、比較器 606 の出力により、流量超過セルについて廃棄又はマーク付与を指示する流量制御信号をヘッダ変換回路 206 送出する違反セル処理回路であり、609 は、セル流量測定動作を行っている以外の間に、タイマメモリ 602 を各呼識別番号を順にアクセスし、測定時間が申告値を超えていないか監視するためのメモリアドレスを発生するタイムオーバー監視回路であり、611 は、セル計数期間と、タイムオーバー監視期間のメモリアドレスを切替えるセクタである。なお、図 6 中、セル計数メモリ 601 とタイマメモリ 602 と申告値メモリ 603 は入力セルの呼識別番号によりアクセスされるため ATM 回線終端装置 101 ~ 10n の各情報テーブル 204（など）に置くことが可能である。

【0047】以下本回路の動作を説明する。ATM 変換機にセルが到着すると、ヘッダ検出回路 203 から、呼識別番号が送られて来る。その呼識別番号をアドレスとし、セル計数メモリ 601、タイマメモリ 602、申告値メモリ 603 がアクセスされ、呼識別番号に対応する流量制御情報が得られる。そしてセル計数メモリ 601 からの計数値に加算回路 604 で 1 が加えられ、その結果をセル計数メモリ 601 に書き替える。一方加算された計数値は比較器 606 に入力され、申告値と比較される。もし計数値が申告値より大きい場合、流量超過情報を違反セル処理回路 608 に送出する。違反セル処理回路 608 では、流量超過の通知を受けると、その超過したセルを廃棄又はマーク付与を指示する流量制御信号をヘッダ変換回路 206 に送出する。廃棄又はマーク付与の選択は、回線のトラヒック状態により、輻輳状態の時は廃棄、回線容量に余裕がある場合にはマーク付与が行われる。

【0048】一方セル計数動作と平行し減算器 606 では、タイマ 610 とタイマメモリ 602 の出力値より測定時間が計算され、それが比較器 607 で一定時間 T と比較され、測定時間が、一定時間を超えていれば、セル計数メモリ 601 は、入力セルの呼識別番号に対する計数値がリセットされ、またタイマメモリに現在の時刻が

書き込まれる。これによりまた初めから測定が開始される。

【0049】次に図15を用いてさらに本回路の動作を説明する。図15は1つの呼識別番号のセルに注目しその到着の様子を示したものである。この場合、申告値を4個としている。この図に示される様に一定時間間隔でセルを計数し、申告値である4個を超えたセルは超過セルとする。また一定時間を超えた時点から、次の測定期間に入り、常時セルの流量の監視を行う。

【0050】本回路は、上記動作のみの場合セルが到着しないとタイマメモリがアクセスされないため、タイマメモリの情報長に制限される時間以上になると測定時間を正しく得られなくなるそのため、セル計数動作を行っていない期間に、タイムオーバー監視回路によりタイマメモリ602を順にアクセスし、一定時間Tを超えていないかどうかを監視し、超えていれば、タイマメモリ601をリセットし、タイマメモリ602を現在の時刻に書き替え次の測定期間に入る。

【0051】本実施例によれば、セル計数メモリ601、タイマメモリ602、申告値メモリ603がATM回線終端装置101~10nの情報テーブル204(など)に置く事が可能となるためハード量が小さく出来る。また本実施例の様に各呼識別番号に対し一定時間を基準として流量を測定すると、平均速度等測定時間が長い場合、呼の速度に依らずセル計数メモリ601及びタイマメモリ602の上限が定まるという利点がある。

【0052】次に、ヘッダ変換回路206の一実施例を図7に示す。図7において、701は、ルーティング情報、新呼識別番号を所定のタイミングで挿入するためのセクタであり、702は、セルの識別番号を“0”とすることでそのセルを廃棄するためのアンドゲートであり、704は、セルのヘッダ中のマークビットを“1”とすることによりマーク付与制御するアンドゲートであり、705は、オアゲートであり、706は信号の再生を行うためのフリップフロップである。以下本回路の動作説明を行う。ATM回線終端装置101~10nからスイッチヘッダを送出する際は、図9(b)に示されるフォーマットで行われる。従ってヘッダ変換回路では、まずセルの先頭に付与されている2バイトのルーティングヘッダ領域に、情報テーブル204からのセルの呼識別番号に対応するルーティングヘッダ情報をタイミング作成回路703がセクタ701を制御し、挿入する。次に、同じく情報テーブルからの呼識別番号をセル中の所定の位置に、入力時の呼識別番号に替えて挿入する。この際、流量モニタ回路205から、セル廃棄の流量制御信号が入力されている場合は、アンドゲート702により呼識別番号は“0”となり、そのセルはスイッチで廃棄されることになる。

【0053】次に流量モニタ回路205からのマークの付与の流量制御信号が入力している場合、タイミング作

成回路からの制御信号により、図9(b)に示されるマークビットに“1”が挿入される。以上のヘッダ変換処理が終ったセルは、フリップフロップで信号再生を行うことにより正確な位相で自己ルーティングスイッチ110に入力される。

【0054】本実施例によると、ルーティングヘッダの挿入、呼識別番号の書き替え、マーク付与が、同時に実行出来、ハード量及びセルの遅延を小さく出来る。

【0055】最後に情報テーブル204を図8を用いて説明する。図8は情報テーブル204に記憶される情報例と記憶形式を示す図である。本実施例の場合、入力の呼識別番号をアドレスとしてヘッダ変換回路206でセルに付与される出力の呼識別番号及び、流量モニタ回路205で用いられる申告値、セル計数値、タイマ値及び違反セル数が記憶されている。このように各呼識別番号毎に一括して情報を記憶することによりハード量を少なくできる。

【0056】

【発明の効果】本発明によれば、ルーティングのためのヘッダ部と、情報部から成る、固定長バケット(セル)を用いて通信情報を交換する。ATM交換機の通話路が、経済的、効率的に実現できる。機能ブロック構成は、システムの処理階層(プロトコルレイヤ)と整合性が高く、従って、各ブロックの独立性が強く、ブロック間の接続が簡単である。一方、ブロック内では、複数の機能が同一の金物を共用でき、効率的、経済的な構成とすることができる。

【図面の簡単な説明】

【図1】本発明による通話路装置の構成図。

【図2】図1におけるATM回線終端装置の構成図。

【図3】図2におけるセル位相同期回路の一実施例を示す構成図。

【図4】図2におけるセル同期回路の他の実施例を示す構成図。

【図5】図2における流量モニタ回路の一実施例を示す構成図。

【図6】図2における流量モニタ回路の他の実施例を示す図。

【図7】図2におけるヘッダ変換回路の一実施例を示す構成図。

【図8】図2における情報テーブルを説明する図。

【図9】図2におけるセル位相同期回路の入出力信号を示す図。

【図10】図2におけるセル位相同期回路の入力信号を説明する図。

【図11】図1におけるスイッチ部の構成例を示す図。

【図12】図3のセル位相同期回路の動作を説明するタイムチャート。

【図13】図4のセル位相同期回路の動作を説明するタイムチャート図。

13

【図14】図5の流量モニタ回路の動作を説明する図。

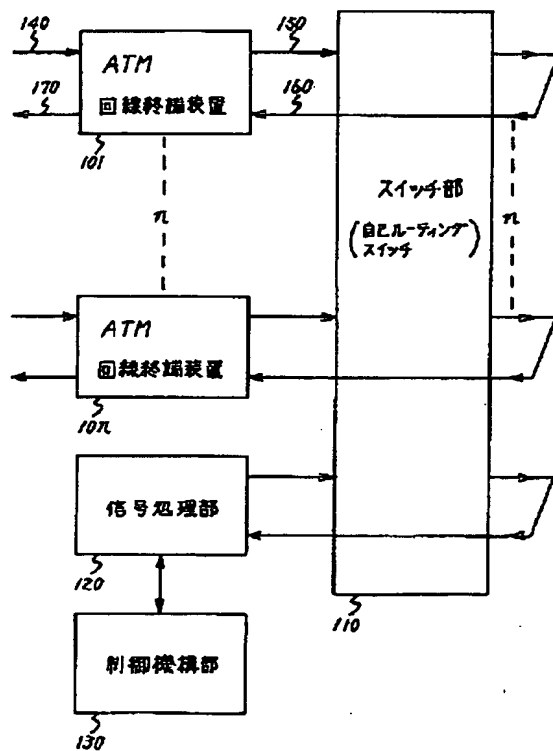
【図15】図6の流量モニタ回路の動作を説明する図。

【符号の説明】

101～10n…ATM回線終端装置、  
 110…スイッチ部、  
 120…信号処理部、  
 130…制御機構部、  
 201…回線終端回路、  
 202…セル位相同期回路、  
 203…ヘッダ検出回路、  
 204…情報テーブル、  
 205…流量モニタ回路、  
 206…ヘッダ変換回路、  
 301…オーバーヘッド処理回路、  
 302…セル周期発生回路、  
 303, 401…セル同期バッファ、  
 304, 402…書き込み制御回路、  
 305, 403…読み出し待ちフラグレジスタ、  
 306, 404, 706…フリップフロップ、

【図1】

図 1



14

307, 405…読み出し制御回路、  
 308, 407…読み出し周期発生回路、  
 309…読み出しクロック作成回路、  
 310, 311, 409, 702, 704…アンドゲート、  
 406…書き込みクロック発生回路、  
 501, 601…セル計数メモリ、  
 502, 602…タイマメモリ、  
 503, 603…申告値メモリ、  
 504, 604…加算器、  
 505, 506…減算器、  
 506, 507, 605, 606…比較器、  
 508, 608…違反セル処理回路、  
 509, 609…タイムオーバ監視回路、  
 609, 610…タイマ、  
 511, 611, 701…セクタ、  
 703…タイミング作成回路、  
 705…オアゲート。

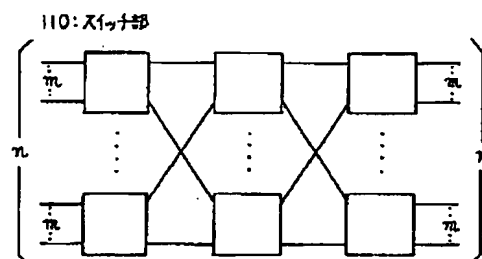
【図8】

図 8

入力呼線 番号	出力呼線 番号	申告値	セル計数値	タイマ値	違反セル数
0					
1					
2					
3					
65.535					

【図11】

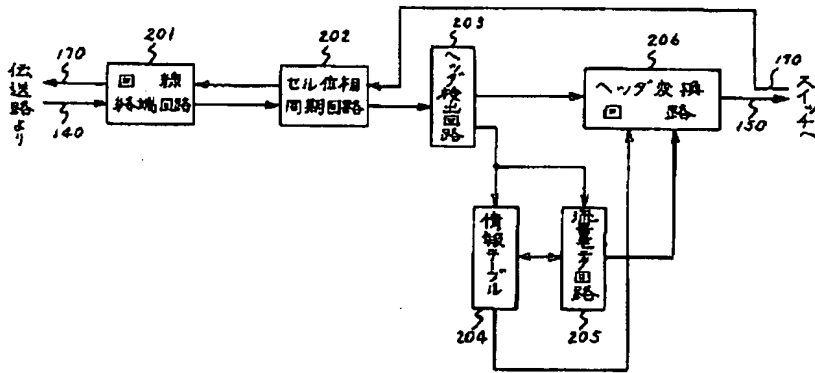
図 11



【図2】

図2

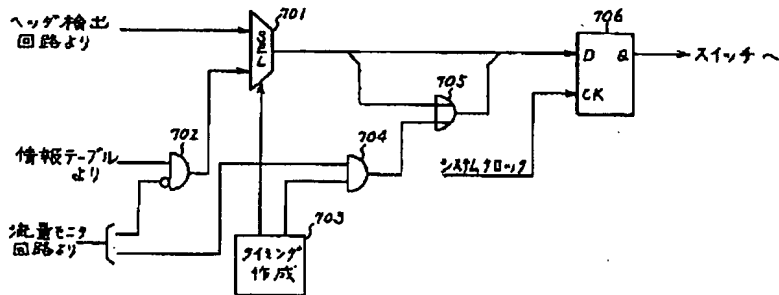
101~10π: ATM回線終端装置



【図7】

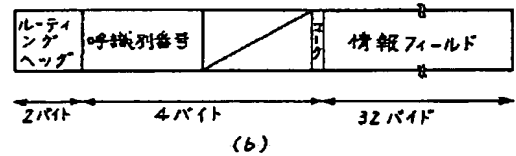
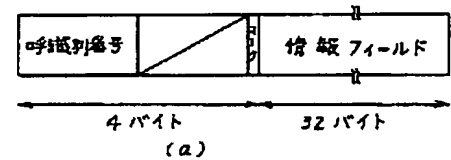
図7

206: ヘッダ変換回路



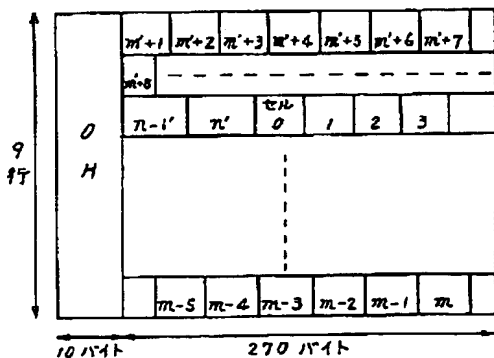
【図9】

図9



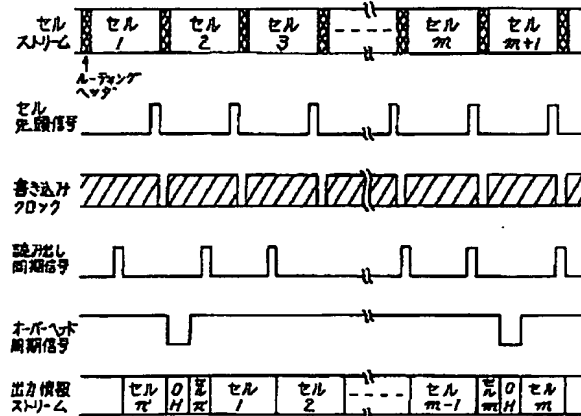
【図10】

図10



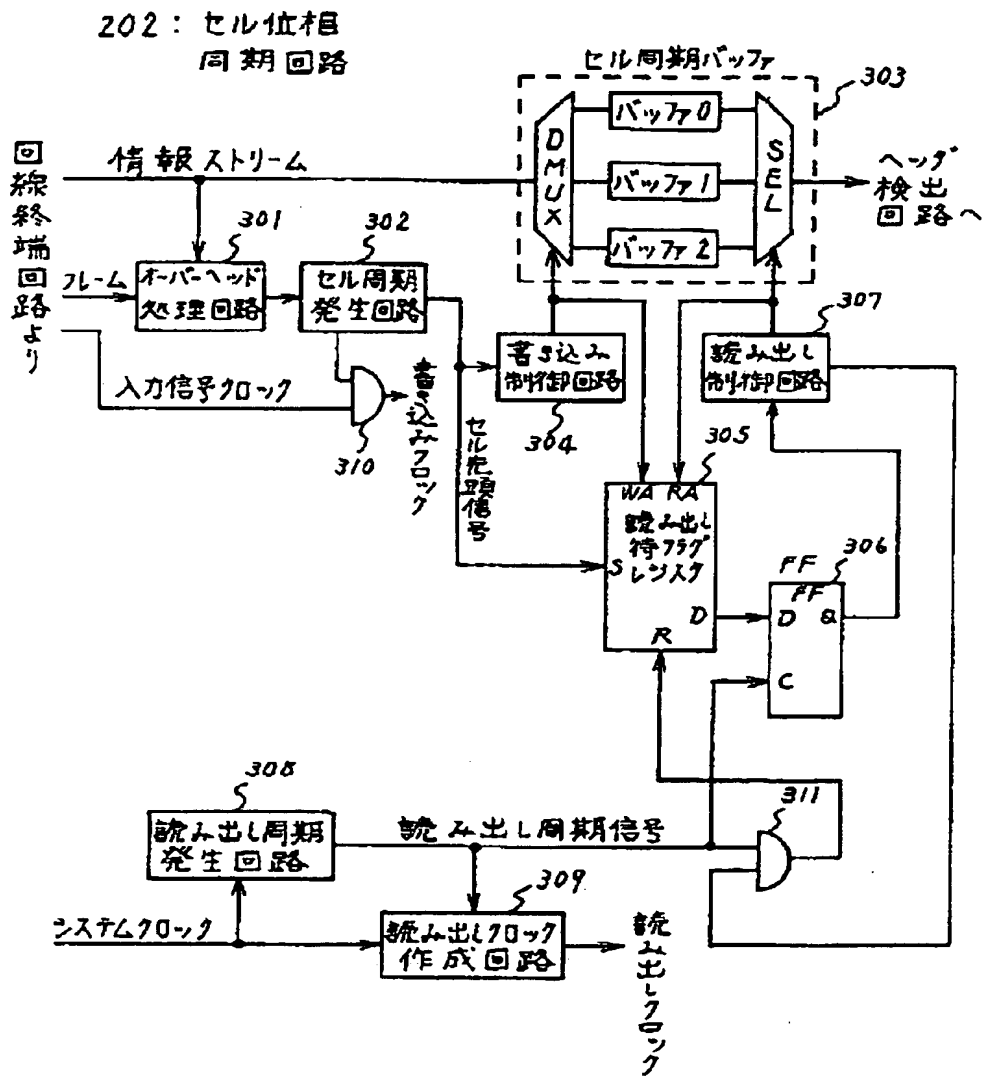
【図13】

図13



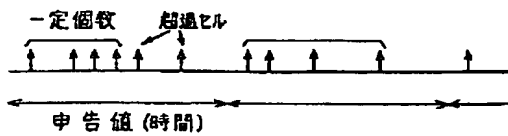
【図3】

図 3



【図14】

図 14



【図15】

図 15

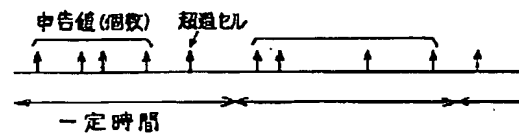
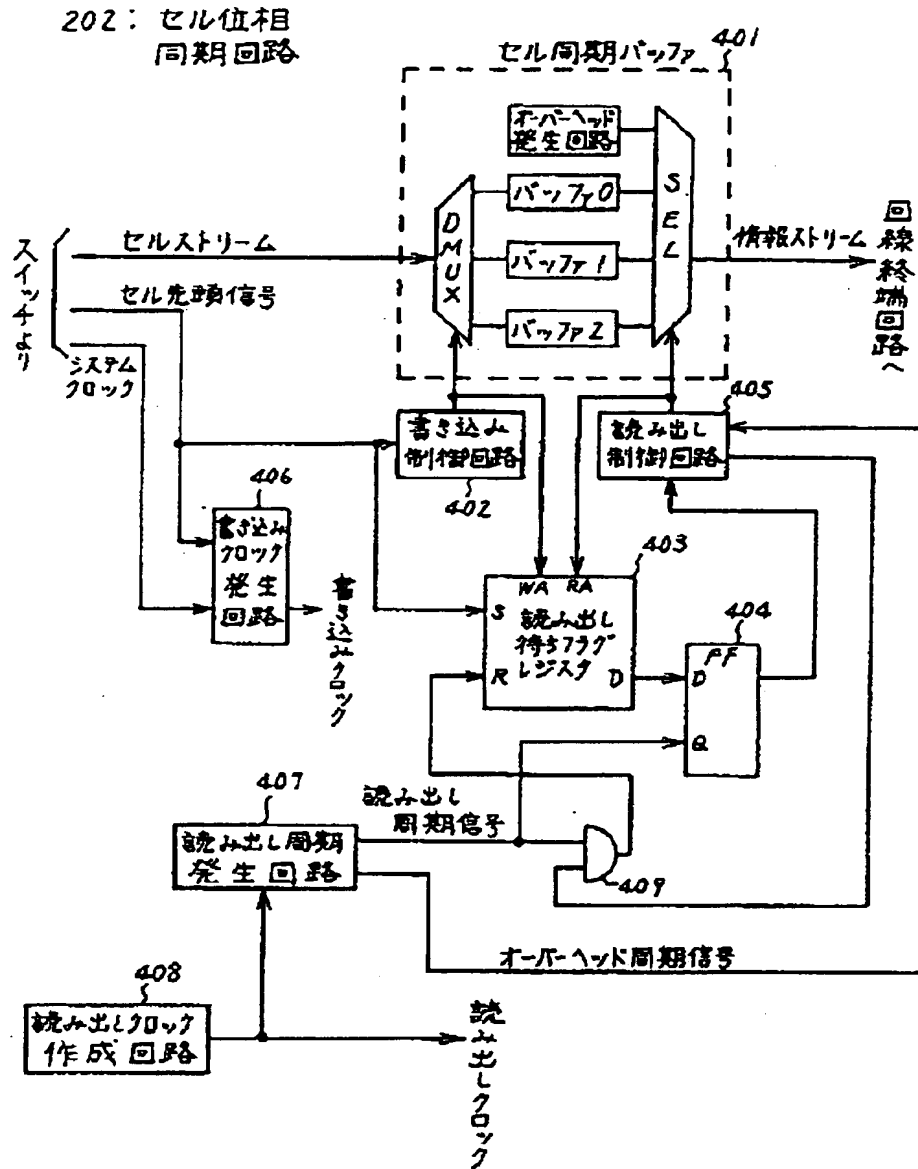


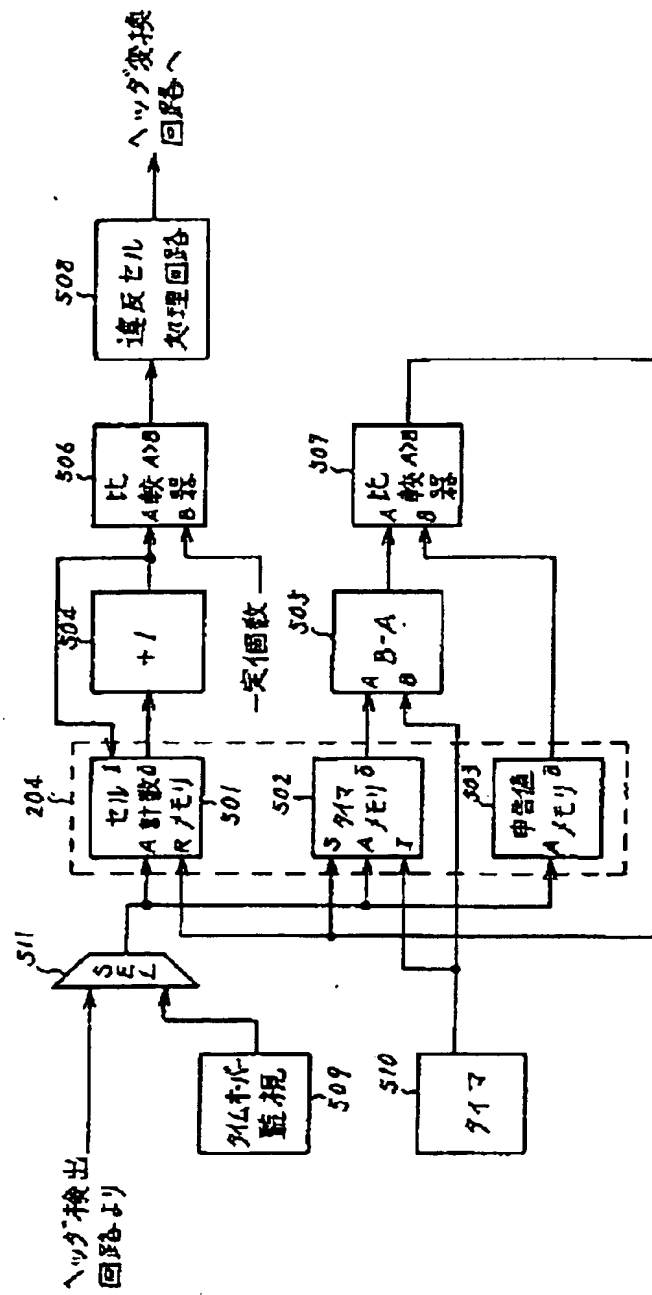
图 4



【図5】

図 5

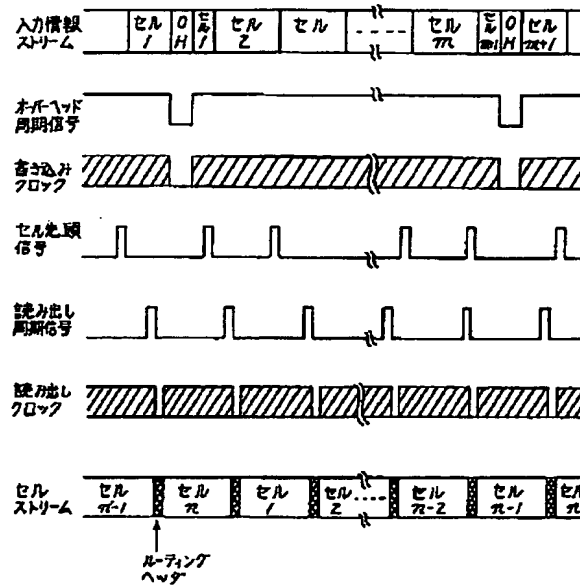
205: 流量モニタ回路





【図 12】

図 12



フロントページの続き

(72)発明者 森 誠  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所戸塚工場内

(72)発明者 郷原 忍  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所戸塚工場内  
(72)発明者 大槻 兼市  
神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所戸塚工場内